

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-021740  
 (43)Date of publication of application : 29.01.1993

(51)Int.CI.

H01L 27/10  
 H01L 29/788  
 H01L 29/792

(21)Application number : 04-006940

(71)Applicant : ENERGY CONVERSION DEVICES INC

(22)Date of filing : 17.01.1992

(72)Inventor : OVSHINSKY STANFORD R  
 HUGGENS STEPHEN J  
 CZUBATYJ WOLODYMYR  
 STRAND DAVID A  
 WICKER GUY C

(30)Priority

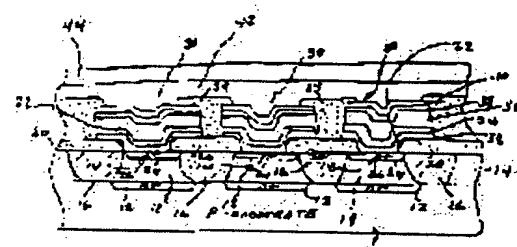
Priority number : 91 642984 Priority date : 18.01.1991 Priority country : US

(54) ELECTRICALLY ERASABLE TYPE PHASE TRANSITION MEMORY

(57)Abstract:

PURPOSE: To provide a solid-state erasable electronic memory having stable and truly non-volatile structure state.

CONSTITUTION: A matrix body structure is formed by connecting memory cells 30, which are composed of a P-N diode 26, molybdate electric contact layers 32 and 40, carbon electric contact layers 34 and 38 and a memory layer 36, through (x) and (y) address lines 42 and 12 to an island separated from a P-- doped separate channel 16 by SiO<sub>2</sub> layers 20 and 39. The write/erasure of such a memory is executed by electrically converting the memory layer 36 into a crystalline/non-crystalline state.



LEGAL STATUS

[Date of request for examination] 11.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3224253

[Date of registration] 24.08.2001

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-21740

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.<sup>5</sup>  
H 01 L 27/10  
29/788  
29/792

識別記号 431  
府内整理番号 8831-4M

F I

技術表示箇所

8225-4M

H 01 L 29/78

371

審査請求 未請求 請求項の数27(全14頁)

(21)出願番号 特願平4-6940

(22)出願日 平成4年(1992)1月17日

(31)優先権主張番号 642984

(32)優先日 1991年1月18日

(33)優先権主張国 米国(US)

(71)出願人 391012176

エナージー・コンバージョン・デバイセス・インコーポレーテッド

ENERGY CONVERSION DEVICES INCORPORATED

アメリカ合衆国、ミシガン・48084、トロイ、ウエスト・メイプル・ロード・1675

(72)発明者 スタンフォード・アール・オブシンスキー  
アメリカ合衆国、ミシガン・48013、ブルームフィールド・ヒルズ、スクイレル・ロード・2700

(74)代理人 弁理士 川口 義雄 (外3名)

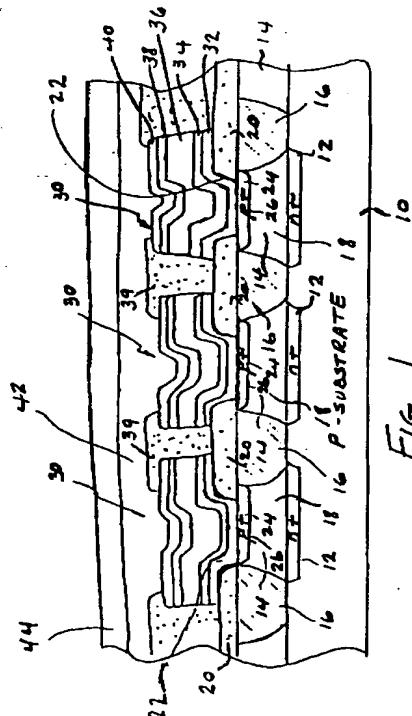
最終頁に続く

(54)【発明の名称】 電気的消去可能型相転移メモリ

(57)【要約】 (修正有)

【目的】 安定し且つ真に不揮発性の構造状態を有する固体消去可能な電子メモリを提供する。

【構成】 P-ドープされた分離チャネル16とSiO<sub>2</sub>の層20, 39で分離されたアイランドにPNダイオード26とモリブデン電気接点層32, 40と炭素電気接点層34, 38とメモリ層36で構成されるメモリ素子30がxアドレス線42とyアドレス線12で接続されたマトリックス構造体を形成する。このメモリの書き込み-消去はメモリ層36を電気的に結晶質状態-非晶質状態に変換することで実行する。



## 【特許請求の範囲】

【請求項1】 電気的消去可能型相転移メモリであつて、

(a) 少なくとも2つの電気的に検出可能な状態の間で可逆的に電気的に切換られることが可能であり、且つ前記少なくとも2つの検出可能な状態の第1の状態が前記少なくとも2つの検出可能な状態の第2の状態の局所的原子規則性よりも検出上で劣る局所的原子規則性を有する、相転移材料の少なくとも1つの凹部と、

(b) 前記凹部の少なくとも2つの部分と接点との間に前記凹部を通る電気経路を形成するために、前記凹部の少なくとも2つの部分との電気接触を生じさせる電気接点手段と、

(c) 前記第1の検出可能な状態が前記第2の検出可能な状態よりもより低い電気伝導性によって特徴付けられる前記少なくとも2つの検出可能な状態の間で、前記凹部内の前記電気経路内の前記相転移材料の少なくとも1つの体積部分に可逆的切換えを引き起こすために、前記電気接点手段に電気信号を印加するための手段と、

(d) 前記第1の検出可能な状態において複数の成分が前記相転移材料内に分布させられ、且つ前記第1の検出可能な状態で存在するのと実質的に同一の構成成分分布の平均局所密度を伴って、前記複数の成分が前記体積部分内で前記第2の検出可能な状態に変換されるように、組成的且つ化学量論的に配置された前記複数の成分を含む前記相転移材料とを含む電気的消去可能型相転移メモリ。

【請求項2】 前記第1の検出可能な状態において前記相転移材料内に分布させられた前記複数の成分が、前記第2の検出可能な状態の前記体積部分内で1つ以上の結晶質相の中に実質的に完全に吸収されている請求項1に記載の電気的消去可能型相転移メモリ。

【請求項3】 前記相転移材料がその主成分としてTeとGeとSbを含み、TeとGeとSbが概ね $Te_a Ge_b Sb_{100-(a+b)}$ の比率で非晶質状態内に分布させられ、前記組成式の添下記号が合計で100%になる前記構成成分の原子百分率であり、aが約70%以下であり、bが約15%から約50%の間である請求項1に記載の電気的消去可能型相転移メモリ。

【請求項4】 aが約60%以下であり、bが約17%から約44%の間である請求項3に記載の電気的消去可能型相転移メモリ。

【請求項5】 前記第1の検出可能な状態から前記第2の検出可能な状態への遷移において、前記相転移材料の帯ギャップが著しく縮小されている請求項1に記載の電気的消去可能型相転移メモリ。

【請求項6】 前記1つ以上の結晶質相が少なくとも1つの多成分結晶質相を含む請求項2に記載の電気的消去可能型相転移メモリ。

【請求項7】 前記1つ以上の結晶質相が複数の多成分

結晶質相を含む請求項2に記載の電気的消去可能型相転移メモリ。

【請求項8】 前記1つ以上の結晶質相が複数の結晶質相を有する請求項2に記載の電気的消去可能型相転移メモリ。

【請求項9】 前記複数の結晶質相の結晶化温度全てが互いの約100°Cの範囲内である請求項8に記載の電気的消去可能型相転移メモリ。

【請求項10】 前記多成分結晶質相中の微結晶が約1,000オングストローム以下の固有寸法を有する請求項2に記載の電気的消去可能型相転移メモリ。

【請求項11】 集積回路の電気的消去可能型相転移メモリであつて、

単結晶半導体基板と、

前記基板上に互いにに対して垂直方向に配置され且つ互いに直列に電気接続されている相転移材料の凹部と集積回路ダイオードとをその各々のメモリ素子が有する、前記基板上に形成された複数の電気的消去可能型相転移メモリ素子と、

前記第1の実質的に非晶質の状態において複数の成分が前記相転移材料内に分布させられ、且つ前記実質的に非晶質の状態で存在するのと実質的に同一の構成成分分布の平均局所密度を伴って、前記複数の成分が前記凹部の少なくとも1つの体積部分内で前記第2の実質的に結晶質の状態に変換されるように組成的且つ化学量論的に配置された、前記複数の成分を含む前記相転移材料と、前記メモリ素子の上部部分と下部部分との上を前記基板を横断して延び、且つ前記メモリ素子各々の一方の側と前記相転移材料凹部との電気的接点と、前記メモリ素子各々の他方の側と前記ダイオードとの電気的接点とを生じさせ、それによって選択的に且つ独立的に前記メモリ素子を電気的にセットし消去し読出すための手段を与える集積電気接点手段とを含む集積回路の電気的消去可能型相転移メモリ。

【請求項12】 セットパルスと消去パルスと読出しパルスとを発生させ前記メモリ素子にこれらのパルスを選択的に印加するための、前記接点手段に電気的に接続された信号発生手段を更に含む請求項11に記載の集積回路の電気的消去可能型相転移メモリ。

【請求項13】 前記信号発生手段が、パルス幅が100ナノセカンド以下であるセットパルスを発生させ印加するための手段を含む請求項12に記載の集積回路の電気的消去可能型相転移メモリ。

【請求項14】 前記ダイオードが半導体接合部を有する請求項11に記載の集積回路の電気的消去可能型相転移メモリ。

【請求項15】 前記半導体接合部が、前記基板の表面に実質的に平行に延びる表面に形成されている請求項14に記載の集積回路の電気的消去可能型相転移メモリ。

【請求項16】 前記半導体接合部がショットキバリヤ

を有する請求項14に記載の集積回路の電気的消去可能型相転移メモリ。

【請求項17】 前記半導体接合部がp-n接合部を有する請求項14に記載の集積回路の電気的消去可能型相転移メモリ。

【請求項18】 前記p-n接合部が、前記基板の表面に実質的に平行に延びる表面に形成されている請求項17に記載の集積回路の電気的消去可能型相転移メモリ。

【請求項19】 前記ショットキバリヤが、前記基板の表面に実質的に平行に延びる表面に形成されている請求項16に記載の集積回路電気的消去可能型相転移メモリ。

【請求項20】 前記集積接点手段との電気接点を生じさせる前記メモリ素子各々の前記一方の側及び前記他方の側が、互いにに対して垂直的関係で配置されている請求項15に記載の集積回路電気的消去可能型相転移メモリ。

【請求項21】 前記集積接点手段との電気接点を生じさせる前記メモリ素子各々の前記一方の側及び前記他方の側が、互いにに対して且つ前記基板の表面に対して実質的に平行に延びる接点表面を含む請求項20に記載の集積回路の電気的消去可能型相転移メモリ。

【請求項22】 前記相転移材料がその主成分としてTeとGeとSbを含み、TeとGeとSbが概ねTe<sub>a</sub>Ge<sub>b</sub>Sb<sub>100-(a+b)</sub>の比率で非晶質状態に分布させられ、前記組成式の添下記号が合計で100%になる前記構成成分の原子百分率であり、aが約70%以下であり、bが約15%から約50%の間である請求項11に記載の集積回路電気的消去可能型相転移メモリ。

【請求項23】 aが約60%以下であり、bが約17%から約44%の間である請求項22に記載の集積回路電気的消去可能型相転移メモリ。

【請求項24】 外部環境の影響に対抗して前記メモリ素子を覆って広がり且つカプセル封じをし且つシールするカプセル封止材料層を更に含む請求項11に記載の集積回路の電気的消去可能型相転移メモリ。

【請求項25】 前記相転移材料凹部の直径が1マイクロメートル以下である請求項11に記載の集積回路の電気的消去可能型相転移メモリ。

【請求項26】 前記凹部の直径が1マイクロメートル以下である請求項11に記載の電気的消去可能型相転移メモリ。

【請求項27】 前記凹部の直径が1マイクロメートル以下である請求項26に記載の電気的消去可能型相転移メモリ。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】 本発明は電気的消去可能型相転移メモリに係わる。

##### 【0002】

【従来の技術】 電子メモリ用途のための電気的消去可能型相転移材料（即ち、全体的に非晶質の状態から全体的に

に結晶質の状態の間で電気的に切換えられることが可能な材料）の利用の一般的着想は、当業では公知であり、例えば、本発明と同一の譲受人にその両方が譲渡された1966年9月6日付で交付された米国特許第3,271,591号（Ovshinsky）と1970年9月22日付で交付された米国特許第3,530,441号（Ovshinsky）に開示されている。

【0003】 上記のOvshinskyの特許に開示されるように、そうした相転移材料は、全体的に非晶質の局所配列と全体的に結晶質の局所配列という2つの異なった構造状態の間で、又は、完全な非晶性状態と完全な結晶性状態の間の全範囲に亘っての局所配列の2つの異なった検出可能状態の間で、電気的に切換えられることが可能である。即ち、そうした材料の切換えは完全な非晶性状態と完全な結晶性状態との間で生じる必要はなく、むしろ、完全な非晶性状態と完全な結晶性状態の間の全範囲に亘っての局所的規則性の複数の条件によって表される「グレースケール」を与える、局所的規則性変化の増分段階であることが可能である。この説明される材料は、ディジタル情報の記憶と検索に適応させられるために、概ね非晶性の局所規則性から概ね結晶性の局所規則性という2つの異なった構造状態だけの間で切換えられることも可能である。

【0004】 Ovshinskyの電気的消去可能型相転移メモリは、初期に導入され幾つかの用途に使用された時には、数多くの用途に対して十分に適切であった。しかし、その初期の技術の更なる発展は、それを進展させるために必要な資源の不足のために不可能であった。それで、固体電子メモリのような他の分野における後続の発達と、磁気媒体を使用するメモリや光学媒体を使用するメモリのような他のタイプのメモリ一般における後続の発達とが、そうした初期の電気的消去可能型相転移技術に次第に取って代わった。

【0005】 前進的な開発の支援の上記の欠落の結果として、Ovshinsky相転移材料の電気的消去可能型メモリ応用には現在では幾つかの制限があり、このことが電気的消去可能型メモリの広範囲な使用を妨げてきた。こうした制限の1つは、特に局所配列がより大きくなる方向において又は結晶化が増大する方向において、そうした従来技術の材料が示してきた、（現在の基準から見て）比較的遅い電気的切換え速度である。別の制限は、一方の状態から他方の状態への相転移を開始させるのに必要とされる比較的大きなエネルギーであった。

【0006】 例えば、そうした従来技術の相転移材料の切換え時間は、非晶質状態から結晶質状態へのセット時間の場合には典型的には数ミリセカンドの範囲内であり、結晶質状態から非晶質状態へ戻すリセット時間の場合には恐らく1マイクロセカンド程度である。そうした従来技術の材料を切換えるのに必要とされる電気エネルギーは、典型的には約1マイクロジュールの範囲内と測定された。

【0007】消去不可能型又は不可逆型のライトワンス(write-once)電気的書き込み可能型メモリにOvshinsky 相転移材料を使用するという着想も、当業では公知である。このタイプの電気的書き込み可能型相転移メモリは、例えば、本発明と同一の譲受人にその両方が譲渡された1985年2月12日付で交付された米国特許第4,499,557号(Holmberg他)と1986年7月8日付で交付された米国特許第4,599,705号(Holmberg他)に開示されている。前述のHolmberg他の特許は、不可逆モード又はリセット不可能モードで使用される、炭素とケイ素とゲルマニウムとその合金のような四面体型に化学結合された材料を含む。こうした材料は、例えば10ボルトまでの閾値セット電圧と、25ミリアンペアまでの電流と、100マイクロセカンドまでのセット時間とを必要とする特徴を有する材料として開示される。従って、必要とされるセットエネルギーは、100マイクロセカンドまでのセット時間において250ミリワットまでである。

【0008】従って、前進的な開発の支援の欠落の故に、これらの材料は、他のタイプのメモリが遙かに短い切換え時間と遙かに僅かなエネルギーとをもたらす可逆型又は電気消去可能型のメモリ用途においては、広範囲に使用されることがないままだった。その代わりに、他の形態の固体電子メモリが発達させられてきたし、これらの用途において一定の限られた範囲で使用してきた。これらのメモリは、幾つかのメモリ用途においては、典型的には各メモリビット毎に幾つかの固体超小形電子回路素子を使用し、例えばビット当たり3～4つほどのトランジスタを使用する。こうした固体メモリの主メモリ素子は、典型的には、メモリビットを記憶するためにその電界効果トランジスタのゲート上に電荷を維持するフローティングゲート電界効果トランジスタデバイスである。この電荷が時間の経過と共に漏れ出る可能性があるが故に、従って、情報の記憶は、材料の実際上の構造の変化によって情報が記憶される相転移媒体の場合のように真に不揮発性であるというわけではない。

【0009】現在使用されているこうした固体電子メモリも製造コストが比較的高価であり、こうしたコストは、磁気ディスク記憶のコストに比べて記憶容量1ビット当たり典型的には約2倍である。一方、固体電子メモリは可動部品が無く、輸送と貯蔵が容易であり、ポータブルコンピュータや他のポータブル電子装置での使用におけるその適合性においてより一層多目的的であるという点で、磁気ディスクメモリを上回る幾つかの利点を有する。これに加えて、こうした固体メモリは、求められるメモリロケーションにアクセスするために適切なデータトラックに対するディスクヘッドの物理的運動を必要とするディスクタイプとは対照的に、真のランダムアクセスシステムであることが一般的である。

【0010】しかし、固体電気消去可能型メモリのこうした利点にも係わらず、これらのメモリの非常に高いコ

ストが、ディスクタイプのメモリシステムによって現在優位を占められている市場で大きな市場専有率を得ることを妨げてきた。相転移材料に基づく固体メモリは、低減されたコストでの製造を実現する可能性を示してきたが、従来技術で公知であるようなシステムから得られる性能パラメータは、ディスクタイプシステムや上記タイプの他の固体メモリシステムに対する代替物としてこうした相転移材料に基づく固体メモリが広く使用されるのを可能にするには、適切なものではなかった。

#### 【0011】

【発明が解決しようとする課題と課題を解決するための手段】本発明は、従来技術のシステムで到達可能なエネルギーレベルよりも著しく低減させられたエネルギーレベルにおいて、従来技術のシステムで到達可能な切換え時間に比べて数桁も短い切換え時間を示す、新規性のある独創的な相転移材料と特に適合化された構成とを使用する、新たな固体消去可能型電子メモリを提供する。この新規性のあるメモリは、安定し且つ真に不揮発性の構造状態を有する。この構造状態は、典型的なデジタルシステムへの適用のために、検知可能な異なった局所規則性の2つの切換え可能な構造状態の間で選択されることが可能であり、又は、使用可能なメモリ設定条件のグレースケールを与えるために、検知可能な異なった局所規則性の幾つかの中間的構造状態から選択されることが可能である。切換え時間と切換えエネルギーにおける改善の大きさは実に大きく、数桁の範囲内であり、単なる自然的な増分ではなく、全く予想を上回り、従来技術によって可能であると考えられていたものを越えるものである。

【0012】本発明の実施例の1つは、その材料の成分が非晶質状態の材料中に分布させられ、結晶質状態では、1つ以上の安定した結晶質相の中に材料の単位体積ごとに実質的に完全に吸収されるような組成と化学量論の、電気的に切換え可能な材料を使用する。更に、これらの成分が、非晶質状態で存在するのと実質的に同一な構成成分の局所原子密度で1つ以上の結晶質相の中に吸収されることが好ましい。従って、切換え遷移の過程におけるその材料内での成分の移動は最少限度にされ、それによって、切換え時間とエネルギーレベルが、従来技術の電気的消去可能型相転移システムで達成可能な切換え時間とエネルギーレベルから、非常に著しく低減させられる。

【0013】別の実施例では、電気切換えパラメータの特徴が、最適の切換え遷移が与えられるようにその材料の遷移パラメータに関連して生じさせられ、それによって、従来技術で達成可能な性能に比べてその性能を更に向上させる。

【0014】更に別の実施例では、メモリのビット密度が従来技術のメモリ構成よりも大きく増大させられ高められ且つ性能パラメータが更に向上させられる、本発明の新規材料を使用するメモリ構成が説明される。

## 【0015】

【実施例】本発明の他の実施例及び特徴と、本発明の他の利点及び目的とが、添付図面と関連付けられた以下の詳細な説明によって明らかにされ明確になるだろう。

【0016】従来技術の消去可能な電気的相転移メモリは局所構造配列における変化に基づいていたが、そうしたメモリは、典型的には、その材料が非晶質状態から多相結晶質状態へ切換える時に相分離を可能にするために、その材料内の特定の種類の原子移動によるそうした構造変化を受容しているということを本出願人は見出している。例えば、硫黄やヒ素のような各々が約1～2%の微量の幾つかの他の成分と共に、約80～85%のテルルと約15%のゲルマニウムを含む合金のような、テルルとゲルマニウムで形成される電気的切換可能なカルコゲナイト合金の場合には、より規律的に配列された構造又は結晶質構造は、メモリ材料の切換可能な凹部内での、電気伝導性が高い結晶質Teフィラメントの形成によって典型的に特徴付けられる。そうした従来技術の材料の典型的な組成は、例えば $Te_8 Ge_{15} S_2 As_2$ であろう。そうした従来技術の材料の別の例は $Te_{81}Ge_{15} S_2 Sb_2$ である。Teはその結晶質状態において非常に伝導性が高いが故に、従って、配列の規則性が劣る状態又は非晶質状態にある凹部の抵抗よりも数桁も低い数値である非常に低い電気抵抗条件が、結晶質Teフィラメントによって生じさせられる。

【0017】しかし、結晶質状態の伝導性Teフィラメントの形成は、その非晶質状態の原子配列から、結晶質Teフィラメント状態における新たな局所集中させられた原子配列へのTe原子の移動を必要とした。同様に、その材料が非晶質状態へと切換えて戻される時には、既に結晶質フィラメントの形に析出されたTeが、そのフィラメント内の局所集中形態から非晶質状態の原子配列へとその材料内を移動して戻ることが必要とされた。

【0018】非晶質状態と結晶質状態との間のこの原子移動と拡散と再配列が、各々の場合に、その移動を受納させるのに必要な保持時間又は滞留時間を必要とし、それによって、その切換え時間と切換えエネルギーを、他のタイプの消去可能な半導体メモリと比較して比較的高いものとするということを本出願人は見出している。さて本出願人は、このタイプの電気的消去可能な相転移メモリに関して、その切換え時間と切換えエネルギーの両方における著しい改善を可能にする、幾つかの新規性のある原理を見出した。

【0019】本発明の選択基準に合致する材料の1つの単純な形態は、原子百分率で平均 $Te_{52}Ge_{24}Sb_{24}$ の組成物である。それが非晶質状態では材料全体に分布させられ、結晶質状態では、一方の相が概ね $Te_{52}Ge_{18}Sb_{30}$ の組成であり他方の相が概ね $Te_{52}Ge_{30}Sb_{18}$ の組成である2つの結晶質相に結晶化し、これらの2つの結晶質相は、概ね等しい原子的分画において存在し、且つ非晶質状態で

存在した成分の原子の全てがその結晶質状態の2つの結晶質相の中に吸収されるような相対的な割合で存在する。こうして容易に形成される多成分結晶質相が得られることが可能であり、非晶質状態で存在した実質的に全ての成分を吸収するか又は消費し、それによって、実質的に完全に吸収されることがないいずれかの別々の成分の格子が、その容易に形成される主要な結晶質相中に析出することを防止する。

【0020】非晶質構造と結晶質構造との間の相転移に関与した実質的な原子移動が全く無いが故に、その相遷移は、迅速に、且つ非晶質状態と結晶質状態との両方の高い度合いの安定性を伴って起こる。

【0021】本発明の別の実施例の更なる特徴は、その材料の半導体帯ギャップ(semiconductor band gap)が非晶質状態から結晶質状態への遷移において実質的に縮小されること、又は更には、伝導帯と価電子帯が互いに接近するか重なり合うように半導体帯ギャップが実質的に又は完全に潰されることである。その帯ギャップが非晶質状態に比べて結晶質状態において非常に小さい場合には、通常の動作条件下で熱的に発生させられるキャリヤが、非晶質状態に比べて結晶質状態において良好な伝導性と低い電気抵抗を与えるだろう。

【0022】本発明の特徴に合致する別の組成は、非晶質状態における成分と概ね同一の組成の単結晶質相を形成する $Te_{51}Ge_{49}Sb_9$ である。従ってその材料は、その非晶質相内と、その材料が電気的に結晶質状態に切換えた時に形成される単結晶質相内とにおいて組成的に概ね同一である。この材料がもはや半導体でなくむしろ金属又は半金属であるように、その電子帯ギャップが非晶質状態から結晶質状態への遷移の際に潰されることが引き起こされるという点で、この材料は本発明の別の上記の特徴に従って更に別の利点を示す。即ち結晶質状態では、その帯ギャップが潰れ且つ伝導帯と価電子帯が重なり合い、それによって非常に高い電気伝導性をもたらし、本質的に金属的な電気伝導を示す。これは、「オン」条件と「オフ」条件の間での又は「セット」条件と「リセット」条件の間での、非常に高い電気抵抗比を与える。

【0023】上記の材料の半金属状態への遷移は、その材料の電気伝導性の温度依存性を測定することによって決定された。半導体では、電気伝導性は温度増加に伴って増大する。これに代わって、結晶質状態での上記材料の電気伝導性は、実際には温度増加に伴って僅かに減少し、それによって価電子帯と伝導帯が実際に重なり合う材料特性を示すということが見出されている。

【0024】これらの成分に関して使用可能な他の結晶質構造相は、 $Te_{52}Ge_{43}Sb_5$ と $Te_{20}Ge_{20}Sb_{60}$ であることが確認されている。他の成分の組合せの場合には、同様の好ましい結晶質構造相が、そのとり得る多成分結晶質相の形成が非晶質状態中に存在する成分を実質的に全て吸

収するように本発明の説明に従って決定されることが可能である。

【0025】消去可能な形で切換え可能な合金の成分は、その組成物中の実質的に全ての成分が非晶質状態中に分布させられ、非晶質状態から結晶質状態への遷移の間では、安定した結晶質相の中にその材料の単位体積毎に実質的に全て吸収されるように選択されている。その結果は、非常に低エネルギーで非常に迅速に、2つの状態の間を非常に迅速に切換えられることが可能な材料であり、即ち、従来技術の消去可能型電気メモリ材料を用いて達成可能であるか又は更にはこれまで可能だと考えられてきた切換え時間とエネルギーレベルを遙かに下回る切換え時間とエネルギーレベルである。

【0026】この材料内の構成成分の組成上の化学量論は、全ての構成成分が、結晶質状態に形成される1つ以上の結晶質相の中に単位材料体積毎に実質的に完全に吸収されるような化学量論である。これに加えてその構成要素は、非晶質状態において存在するのと実質的に同一の構成成分の平均局所原子密度分布、即ち実質的に同一の平均局所濃度を伴って、1つ以上の結晶質相内に吸収されることが好ましい。このようにして、その材料は単位体積毎に完全に結晶化され、その構成成分の局所原子密度は、非晶質状態と結晶質状態との間の遷移によっては最少限度だけしか攪乱されない。従って、相遷移の間のその材料内の原子移動は最少限度にされ、電気的切換え速度と切換えエネルギーは、従来技術の電気的消去可能型相転移メモリを数桁下回るまで著しく低減させられる。

【0027】その材料の成分は、一般的には、当初に蒸着させられた通りにその材料内に実質的に均一に分布させられるだろうが、そのマトリックス内の原子の結晶質相位置と濃度に従って、その材料の特定の領域内に局所的に幾分か濃縮させられてもよい。しかし、結晶質相から非晶質相への遷移の間にその材料は溶融状態になり、その材料のバルク内に原子を幾分か均一に分布させる傾向があるだろう拡散が起こる。しかし、非晶質状態でのこうした均一な分布は、その材料が本発明に従って作用するためには必要ではない。従って、非晶質状態においては相転移材料の成分がその材料全体に亘って分布させられるようにここでは説明されるが、しかしそうした分布は、非晶質状態と結晶質状態の間を往復する切換に伴って生じる可能性がある、その成分の一部又は全部の幾つかの局在化した濃縮を含んでもよいということが留意されるべきである。

【0028】もちろん、構成成分の局所原子密度が、非晶質状態と結晶質状態の両方において正確に同一であることは不可能であるということが留意されるべきである。局所原子配列における幾つかの順応化が、非晶質状態と結晶質状態の間の構造配列の変化を可能にするために必要である。しかし、本発明の原理の適用において防

止すべきあるものは、従来技術の電気的消去可能型相転移メモリの特徴であった局所原子密度内の大きな歪みであると現在では理解されている。従って「実質的に同一な平均局所原子密度分布」の語は、本発明の説明に従った性能上の利点を更に与える、適切な範囲内の原子再配列及びその結果としての非晶質状態と結晶質状態との間での局所原子密度の変化を可能にすることと解釈されることが可能である。

【0029】ここで使用される場合の術語「実質的に非晶質の」と「非晶質の」は、原子配列の規則性が相対的に劣り又はより一層無秩序であり、その結果として、より低い電気伝導性といった検出可能な異なった電気的特徴を有する状態を意味する。術語「実質的に結晶質の」と「結晶質の」は、原子配列の規則性が相対的に優れ、その結果として、より高い電気伝導性といった検出可能な異なった電気的特徴を有する状態を意味する。

【0030】本発明の1つの実施例では、本発明の材料がその結晶質状態においては多成分で多相の結晶質構造を形成するということと、この状態での結晶質相は互いに比較的接近した結晶化温度を有するということが確認されている。例えば、上記で説明されたように2つの結晶質相に結晶化する、非晶質状態において組成 $Te_{52}Ge_{24}Sb_{24}$ を有する相転移材料では、これら2つの相の一方が155 °Cで結晶化し、その他の方が172 °Cで結晶化することが確認されている。互いに接近した温度で生じる結晶質相を有するこの多相結晶質構造が、この材料の結晶構造の好ましい形態であると考えられる。これは本発明の材料が、結晶質状態から非晶質状態へより容易に切換えられ且つ非晶質状態においてもより一層安定していると考えられているためである。

【0031】この材料が1つの結晶質相（ここでは「単結晶質相」と呼ばれることがある）だけしか持たず、それ以外では本発明の特徴に合致する場合には、この材料は幾つかの用途の要件を十分に満たすかもしれない。しかし、この材料が結晶質状態で非常に安定しており、それ故にこの材料を非晶質状態に切換え戻すことがより困難である可能性があり、しかもいったん非晶質状態に切換え戻すとその状態ではより不安定的であり得るが故に、その他の用途に対しては最適ではない。しかし、こうした特性は、本発明の特定の用途に対してより一層適合的であるだろうし、幾つかの用途にとって実際的に好ましい特性を与えることがあり得る。いずれにしても、こうした単結晶質相材料は、本発明の非常に増大させられた切換え速度と非常に低い切換えエネルギーという特徴を典型的に示すだろう。

【0032】これに加えて、1つ又はそれ以上の結晶質相が安定した且つ容易に形成される相であるが故に、その遷移は確実に行われ、2つの安定し且つ真に不揮発性の条件が与えられる。

【0033】しかし、本発明の重要な原理の1つは、本

発明の材料が結晶質状態に切換えられる時には、非晶質状態で存在する成分の実質的に全てが、1つ又はそれ以上の結晶質相の中に実質的に完全に吸収されるということである。このことは原子移動を著しく最少化させ、2つの相の間の切換が迅速且つ低切換エネルギーで生じることを可能にする。前述のように、多相結晶形成の場合は、同一の一般的温度区域内で多相の形成を適応させるように、各々の結晶質相の結晶化温度が互いに接近していることが有利であるはずだと考えられている。

【0034】更に、1つ以上の結晶質相内の比較的小さな微結晶サイズが、1つ以上の結晶質相の迅速な形成と、非晶質状態と結晶質状態との間の遷移のためのより低エネルギー要件とに更に寄与するものと考えられる。

【0035】本発明の更に別の側面に従って、本出願人は、そうした材料の切換え特性が、最適な切換え遷移が行われることが可能であるように調整され得るということを見出している。従来技術の性能パラメータを上回って得られることが可能な実質的に増大したレベルで本発明の材料が効果を発揮するためには、その材料格子が典型的にはその材料の性能レベルの大きな劣化なしに一定レベルの外來の原子材料を許容するだろうが故に、正確な組成上の化学量論は必要とされないことが見出されている。従って、語「実質的に」は、本発明によって与えられるような従来技術の電気的消去可能型メモリよりも改善された性能パラメータを得ることを可能にする、ここで説明される化学量論的原理に対する適合のレベルを意味するものとしてここでは使用される。

【0036】前述のように、結晶質相の比較的小さな微結晶サイズ範囲が、結晶質状態と非晶質状態との間の迅速な遷移に寄与することが可能であるとも考えられている。非晶質構造と結晶質構造との間の遷移を適応させるのに必要な原子的調節が微細構造ではより少なくてすむが故に、構造的に微結晶格子に近い結晶構造が非晶質状態と結晶質状態との間をより迅速に切換えると本出願人は仮定している。これと同時に、結晶質状態の多相性質が、非晶質状態への遷移をより促進し且つ安定化する。

【0037】本発明の相転移材料の特徴の1つは、その

材料の単位体積毎により多くの且つより小さい微結晶の形成を指向するように見えるということである。本発明を具体化する代表的な材料の微結晶サイズが、従来技術の材料の特徴である約1,000～5,000 オングストロームの範囲よりも一般的により小さい、約100～500 オングストロームの範囲内の小さな微結晶サイズを有することが見出されている。ここで言及される「微結晶サイズ」とは、一般的に微結晶の直径であり、又は、微結晶が球形の形状でない場合には直径と同等の微結晶の「固有サイズ」である。従って、術語「固有サイズ」は、微結晶をまたぐ平均的差し渡し距離、即ちその直径又はそれに類似するものを意味する。

【0038】本発明の特徴に合致する種類のTeGeSb材料の非晶質状態における組成は、電気的消去可能型の相転移材料として使用される従来技術の材料に含まれるTeの濃度よりも実質的に減少されたTe濃度によって、一般的に特徴付けられるよう見える。実質的に改善された電気切換え性能特徴を与えることが見出されたこの種類の材料の組成では、非晶質状態におけるTeの平均濃度は70%をかなり下回り、典型的には約60%を下回り、一般的な形態では約23%から約56%までの範囲内だった。Ge濃度は非晶質状態において約15%を上回り、平均では最低約17%から約44%の範囲内であり、一般的には50%を下回るGeを保ち、この種類の材料の主要な構成成分の残分はSbである。示された百分率は構成成分の原子の合計が100%になる原子百分率である。こうしてこの種類の材料は、 $Te_a Ge_b Sb_{100-(a+b)}$ として特徴付けられることが可能で、ここでaが約70%以下であり、好ましくは約60%以下であり、bが約15%を上回り且つ50%を下回り、好ましくは約17%～約44%の間であり、且つ残分がSbである。

【0039】TeGeSb種類の材料の場合には、次の結晶質相が単独で、又は上記範囲内の非晶質状態に一致する様々な近似的組成に関しての結晶質状態の様々な形の組合せとして、存在することが見出された。

【0040】

【表1】

表 1

## TeGeSbの観察結晶相

相の名称	原子%Te	原子%Ge	原子%Sb
$\alpha$	51	44	5
$\beta$	51	40	9
$\gamma$	45	28	27
$\delta$	23	19	58
$\eta$	56	17	27
$\kappa$	53	30	17

【0041】非晶質状態におけるこれらの成分の平均は、1つの標本では、約53%のTe、約21%のGe、約26%のSbだった。

【0042】さて図1を参照すると、本発明を具体化する電気的消去可能型相転移メモリの構造の一部分の断面図が示されている。このメモリ構造は、p-ドープされ且つ図示される構成の他の成分の蒸着のためのp-基板を形成する、単結晶シリコン半導体ウェーハ10上に形成されている。

【0043】当業で公知方法である拡散によって形成可能なn+チャネル12が、p-基板10内に形成されている。これらのn+チャネルは、図解平面に対して垂直な方向にチップを横断して延びて1組の電極を形成し、この場合には、個々のメモリ素子をアドレス指定するためのx-y電極グリッドのy組を形成する。

【0044】このn+グリッド構造の頂部上には、これも当業で公知の技術によって、n-ドープされた結晶質エピタキシャル層14が形成されている。このn-ドープされたエピタキシャル層14は例えば約5,000 オングストロームの厚さである。この後で、公知のマスキング技術とドーピング技術を使用して、p-ドープされた分離チャネル16がn-エピタキシャル層14内に形成されている。これらのp-ドープされた分離チャネル16は、図1に示されるようにp-基板10に達するまで連続して延び、更には、n-エピタキシャル層14のアイランド18の周囲を完全に囲み、そのアイランド18を分離して範囲を画定する。アイランド18は図2の平面図により明確に示され、この図ではp-分離チャネルはn-エピタキシャル材料のアイランド18を画定し分離する分離グリットを形成するように示されている。p-ドープされた分離チャネルの代わりに、SiO<sub>2</sub>分離トレンチがアイランド18の分離のために使用されてもよい。そうしたSiO<sub>2</sub>分離トレンチの形成の技術は当業者に公知である。

【0045】それに続いて、上記の構造上に、熱によって成長させられたSiO<sub>2</sub>の層20が形成され、またアイラ

ンド18上に開口22を形成するためにエッチングされる。その後で、p+材料の拡散領域24が、図1に示されるように開口22によって画定される区域内に形成される。p+領域とn-エピタキシャル層との半導体接合部が、SiO<sub>2</sub>層20の開口22を介して露出された各々のn-エピタキシャル層領域と直列のp-n接合ダイオード26を形成する。

【0046】その後で、メモリ素子30が、ダイオード26と各々に直列オーミックコンタクトしてp+領域24の上に蒸着させられる。メモリ素子30は、モリブデンの下部電気接点薄層32と、炭素の下部電気接点薄層34と、上記相転位材料で形成されたメモリ層36と、炭素の上部電気接点薄層38と、モリブデンの上部電気接点薄層40とを有する。炭素とモリブデンの接点層32、34、38、40は、メモリ層36との優れた電気接点を形成すると共に、メモリ層36を出入りする成分拡散を効果的に遮断する拡散バリヤをも形成する。

【0047】炭素層34と38は比較的高い電気抵抗を有し、そのエッチングはより一層困難であり、従って典型的には、100～1,000オングストローム程の範囲内の比較的薄い層であることが好ましい。モリブデン層32及び40は、メモリ層36のための有効な拡散バリヤとして働くために、例えば1,000～2,000オングストローム程の範囲内のように、より厚いものであるべきである。

【0048】メモリ層36は、ここで開示されるような多成分の相転移材料で形成されている。層36は実質的に非晶質の状態でスパッタ蒸着させられることが好ましい。しかし、蒸発、又はRFグロー放電のようなプラズマ技術によって支援されることが可能な化学的気相蒸着のような他の方法で形成されてもよい。メモリ層36の厚さは典型的には約200オングストロームから約5,000オングストロームの範囲内であることが可能で、好ましくは約200～1,000オングストロームである。相転移材料36の凹部の横寸法又は直径は約1マイクロメートル程の範囲内であってよいが、この横寸法に関しては実際上の制限は

ない。「セット」条件に形成された結晶質材料の実際の伝導経路は1マイクロメートルの1/4～1/3ほどの小ささであることが確認されている。従って、この凹部直径は、リソグラフィ解像限界が許容し得るだけ小さい。

【0049】本発明の好ましい実施例では、その材料が結晶質状態に切換えられた時に形成される結晶化した低抵抗経路の直径に実質的に一致するように、前記凹部直径が選択される。上記のように、結晶化した低抵抗経路の実際の直径は1マイクロメートルの約1/4から約1/3ほどの範囲内であることが確認されている。従ってメモリ材料36の凹部の直径は約1マイクロメートル以内であることが好ましく、「結晶質状態と非晶質状態との間を往復するように実際に切換えられる相転移材料36の体積に適応し得る大きさに、メモリ材料36の体積が制限されるようにする。これは、相転移を開始させるために必要とされる切換え時間と電気エネルギーを更に減少させる。ここで使用される「凹部直径」とは、メモリ層36の横断面の横寸法を意味し、該メモリ層は、メモリ層36と図1の実施例に示されるように下部p+層と上部導体42によって形成され且つ図2の実施例の場合にはショットキダイオードの下部金属層29とによって形成される接触領域の下へ延びる。

【0050】メモリ素子の適正な動作のために必要であるような上部接点と下部接点との必要とされる電気接点だけを除いて、メモリ素子30の凹部領域が熱的に分離及び／又は制御されることが更に好ましい。これは、切換えられる凹部の体積からの熱移動と、相遷移のために必要とされる電気エネルギーとを更に制限し限定し制御する。これは、図1と図2の実施例では、メモリ素子30の側部周囲部分を囲む酸化物20、39によって行われる。

【0051】ここで使用される術語「セット」条件とは、低抵抗の実質的に結晶質の状態を意味し、術語「リセット」条件とは、高抵抗の実質的に非晶質の状態を意味する。

【0052】層32、34、36、38、40がエッティングされ、酸化物層39がそれらの上に形成され、さらに図示されるようにメモリ素子30の上方に開口を残すようにエッティングされる。この代わりに、層32と層34が最初に蒸着させられ、エッティングされ、それに続いて層36、38、40がその上に蒸着させられ、各々に選択された寸法にエッティングされるという形で、メモリ素子が2つの段階のエッティング処理によって形成されてもよい。更に、この構造物全体の頂部上に、第2の電極グリッド構造がアルミニウム導体42で形成され、このアルミニウム導体42は導体12の方向に対して直角方向に延び、個々のメモリ素子に対するx-yグリッド接続を完成する。 $Si_3N_4$ 又はプラスチック材料（例えばポリアミド）のような適切なカプセル封止材料の頂部カプセル封止層44が、完成した集積構造の頂部上に被せられる。この頂部カプセル封止層44が、特にメモリ層36内の相転移材料の性能の低下と劣化

を引き起こす可能性がある湿気と他の外部成分とに対して前記集積構造をシールする。 $Si_3N_4$ カプセル封止材料は、例えば低温プラズマ蒸着プロセスを使用して蒸着させられることが可能である。カプセル封止材料層44を形成するためには、ポリアミド材料がスピンドル蒸着させられ、蒸着の後で、公知の技術によって焼成されることが可能である。

【0053】n層14と例えばケイ化白金であってもよい金属層29との間の、ショットキバリヤのダイオード27が形成されることを除いて、図2の実施例は図1の実施例と同一である。他の側面では、図2の実施例は図1の実施例と同一の仕方で形成され、同じ要素は同じ参照番号が付けられる。

【0054】このようにして形成された集積構造は、各々のメモリ素子30が水平なx線42と直角なy線12との間でダイオード26と直列に接続されている、図3に示されるように接続されたx-yマトリックスである。ダイオード26は、メモリ素子30の各々を電気的に分離するように働く。もちろん、本発明の電気的消去可能型メモリのための他の回路構成が可能であり且つ実施に適している。

【0055】図1と図2の実施例に示される集積構造では、メモリ素子の完全に垂直方向に集積された構造が形成され、従って、メモリ素子とダイオードの各々の組合せによって占められる基板上の面積を最少限度にする。これは、このチップ内でのメモリ素子の密度が、主としてリソグラフィの分解能によってだけ制限されるということを意味する。

【0056】図4Aでは、その基板上に形成されて本発明を具体化したメモリマトリックス51を有する単結晶半導体基板50の一部分が概略的に図解されている。その同一の基板50上には、集積接続53を介してメモリマトリックス51に適切に接続されたアドレス指定マトリックス52も形成されている。このアドレス指定マトリックス52は、メモリマトリックス51に与えられるセットパルスとリセットパルスと読出しパルスとを画定し制御する信号発生手段を含む。このアドレス指定マトリックス52は、メモリマトリックス51と一体化されてもよく、メモリマトリックス51と同時に形成されてもよい。

【0057】そうしたメモリの大半の用途に必要であると考えられる高速の切換え速度と低切換えエネルギーとを有する従来技術の半導体メモリでは、各メモリ素子毎に1つのコンデンサと共に少なくとも1つのトランジスタが必要とされる。集積回路の形でのそうしたメモリの形成は、その集積回路がどのようにレイアウトされるかに無関係に、一定の最小基板面積を占める他の追加的複雑性と共に少なくとも3つの接続を必要とする。本発明の電気的消去可能型メモリの集積回路構成は、各メモリ素子毎に2つの接続だけを必要とするにすぎず、これらは互いに垂直な関係に形成される。更に、分離ダイオードとメモリ素子のための接続の対とを完備した各メモリ素

子自身が、同一又は類似の機能を果たす従来技術の集積回路を用いて得られることが可能なビット密度よりも遙かに高いビット密度が得られるように、十分に垂直方向に集積化されている。

【0058】実際的に本発明のメモリは、揮発性であり従って本発明によって得られる不揮発性が与える更に別の利点を欠いている固体ダイナミックランダムアクセスメモリ(DRAM)において得られることが可能なビット密度よりもより高いビット密度を可能にする。本発明によって得られることが可能なビット密度の増大は、集積回路構成のビット1つ当たりの占有ウェーハ面積がより小さいが故に、その対応した製造コストの低下に換算される。これは、本発明のメモリが、広範囲の用途において性能に関してばかりでなくコストに関しても、他の入手可能なメモリと競合し且つそれらを凌駕することを可能にする。

【0059】各ビット毎に少なくとも1つのトランジスタと1つのコンデンサで形成される従来技術の半導体メモリに比較して、図1と図2に示されるような本発明の集積回路構成は、同一のリソグラフィ分解能の場合に、そうした従来技術の構成のビット密度の約3倍のビット密度で1つのチップ上に形成されることが可能である。従って、より高いビット密度がもたらすコスト上の利点に加えて、本発明の集積回路構成内のメモリ素子の性能パラメータが更に一層改善されており、これは、本発明の集積回路構成内のメモリ素子が互いに接近して配置され、従ってリード長さと静電容量と他の関連パラメータが更に最小化され、それによって性能が更に向上しているからである。

【0060】図4Bは図1～図3の実施例の一部分の回路図である。この回路は図示されるように、xアドレス線42とyアドレス線12との交差点においてダイオード26と直列接続された各々のメモリ素子30を有するx-yグリッドを有する。アドレス線12と42は、当業者には公知の方法で外部アドレス指定回路構成要素に接続されている。

【0061】図5は、本発明を具体化するメモリ素子のサンプルから採取された性能データのグラフ図である。「セット」状態又は結晶質状態での電気抵抗と、最初に蒸着されるような非晶質状態から結晶質状態に切換える各々の場合に必要とされる切換えエネルギー(ジュール単位)とを示すために、データが提示されている。非晶質リセット状態の高い抵抗が図5のグラフの上部右側の角陽に示され、約 $10^{-9}$ ジュールのセットエネルギーの場合の約150オームのセット抵抗とは対照的に20,000オームを僅かに下回っている。切換え時間は典型的には10～80ナノセカンドの範囲内であり、切換えセットエネルギーは典型的には約 $10^{-9}$ ジュールの範囲内だった。リセットエネルギーは約 $10^{-6}$ ジュールだった。これらのデータは、 $10^{-3}$ ～ $10^{-6}$ ジュールの範囲内の切換えエネルギーにおいて切換

え時間が典型的には数マイクロセカンドから数ミリセカンドの範囲内だった従来技術の電気的消去可能型メモリの性能データと比較されるべきである。従って、本発明の電気的消去可能型メモリ材料の性能パラメータは、従来技術の電気的消去可能型相転移メモリ材料で得られる性能パラメータよりも数桁は良好である。

【0062】これに加えて、図5を参照すれば「セット」抵抗がセットパルスのエネルギーのレベルと共に実質的に直線的に変化する。約 $10^{-9}$ ジュールのセットパルスの場合には約150オームであり、約 $10^{-11}$ ジュールのセットパルスの場合には約2,000オームであり、これらの点の間でかなり直線的な特徴を有するということが留意されるべきである。これは、本発明のメモリ素子が適応メモリ応答関連において動作することを可能にし、それによって適応メモリシステムへの適用を可能にするグレースケール特性を与える。

【0063】図6は、本発明に従って製造され且つ本発明を具体化したメモリ素子のサンプルから採取された電気切換え特性のグラフ図である。オームで表されたデバイス抵抗が、30～80ナノセカンドの範囲内のリセットパルス幅に関する切換えエネルギー(ジュール表示)との関係において示される。「リセット」対「セット」抵抗比は全て、概ね1桁程かけ離れており、従って、デジタルメモリ用途のためのセット条件とリセット条件の間の誤りのない電気的検出を確実なものにするのに十分に適切である。30ナノセカンドにおけるリセットエネルギーは $10^{-7}$ ジュール以下である。

【0064】図7は、そのデバイスに逐次的に加えられるセットパルスの数との関係における、そのデバイスのセット抵抗(キロオーム表示)を表すデータのグラフ図である。セット抵抗がセットパルスの数に応じて減少し、それによってグレースケール又は適応メモリ能力を与えるということが留意されるべきである。図7に示されるデータの場合には、約5ボルト且つ約40ミリアンペアにおいて約50ナノセカンドのセットパルスが加えられ、各々のパルスの後に且つそのシーケンス内のその次のパルスが加えられる前に抵抗が測定された。セットパルスの逐次給与によってセット抵抗が増分的に低減せられることができあり、それによって、完全な非晶質状態から完全な結晶質状態への間の範囲全体に亘っての様々なレベルにその材料がセットされることを可能にするということを、そのデータは示している。

【0065】図8は、負荷抵抗(オーム表示)との関係におけるデバイス「オン」抵抗(オーム表示)に関してとられたデータを示す。負荷抵抗はそのデバイスと直列に接続され、従って、点弧開始時の電流の流れの大きさを決定するように働く。データは12ボルトの閾値電圧を使用して測定された。そのデバイスの「オン」抵抗は、セット電流の増加に応じて迅速に100オームほどのレベルまで減少する。

【0066】本発明の電気的消去可能型相転移メモリは従来技術の電気的消去可能型相転移メモリで得られることが可能な性能を上回る著しい性能向上をもたらす。このことはそうした従来技術のメモリによって可能な応用を上回るそうしたメモリの広範の応用を可能にするということが、上記から理解されるだろう。ここで説明された開示内容は、本発明の十分で完全な開示を行うために説明される詳細な実施例の形で与えられるということと、そうした詳細は添付のクレームで説明され定義される通りの本発明の真の範囲を何らかの形で限定するものと解釈されてはならないということとが理解されるべきである。

【図面の簡単な説明】

【図1】本発明を具体化する集積回路の電気的消去可能型相転移メモリの構成の一部分の部分断面図である。

【図2】本発明の別の実施例を図解する集積回路の電気的消去可能型相転移メモリ構成の一部分の部分断面図である。

【図3】図1と図2の集積回路構成の一部分の平面図である。

【図4 A】本発明を具体化する、集積されたメモリとアドレス指定マトリックスを有する単結晶半導体基板の一部分の概略図である。

【図4 B】図1と図2の集積回路構成の回路構成要素の一部分の部分回路図である。

【図5】非晶質状態からの切換え後における結晶質状態での抵抗を切換えエネルギーとの関係において示す、本発明を具体化する電気的消去可能型相転移メモリのサンプ

ルに関するとられたデータのグラフ図である。

【図6】様々なパルス幅における切換えエネルギーとの関係におけるデバイス抵抗のデータのグラフ図である。

【図7】デバイスに逐次的に与えられるセットパルスの数に応じたデバイス「オン」抵抗に関するデータの、グレースケール能力を示すグラフ図である。

【図8】そのデバイスの点弧後の電流の流れを制御する負荷抵抗に応じたデバイス「オン」抵抗に関するデータのグラフ図である。

【符号の説明】

- 10 ウエーハ
- 12 n+チャネル
- 14 n ドープ結晶質エピタキシャル層
- 16 分離チャネル
- 18 アイランド
- 20 SiO<sub>2</sub> 層
- 22 開口
- 24 拡散領域
- 26 p-n 接合部ダイオード
- 30 メモリ素子
- 32, 40 モリブデン電気接点層
- 34, 38 炭素電気接点層
- 36 メモリ層
- 42 アルミニウム導体
- 44 カプセル封止材料層
- 51 メモリマトリックス
- 52 アドレス指定マトリックス

【図1】

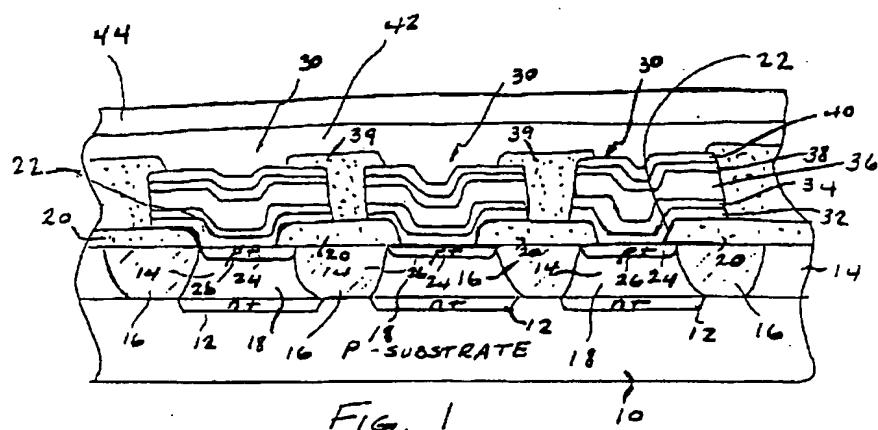


FIG. 1

【図2】

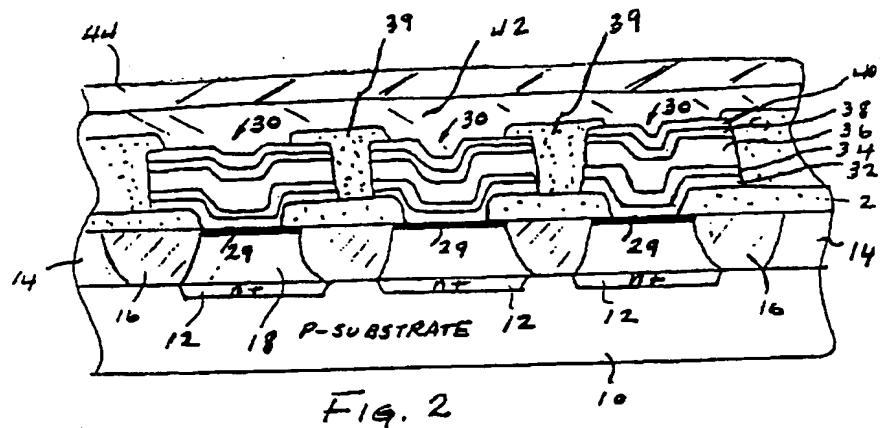


Fig. 2

【図3】

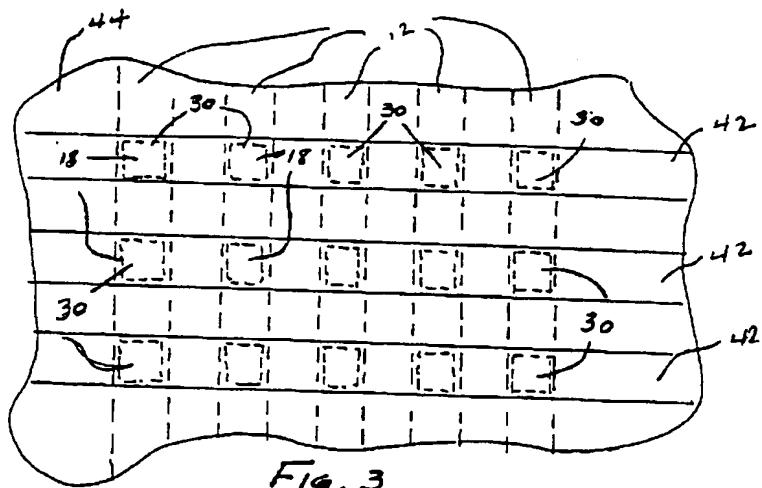


Fig. 3

【図4A】

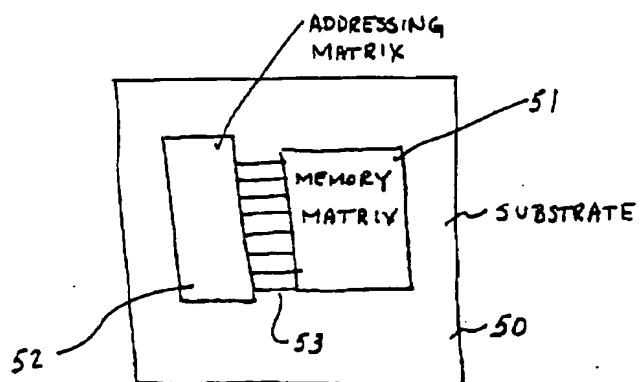


Fig. 4A

【図4B】

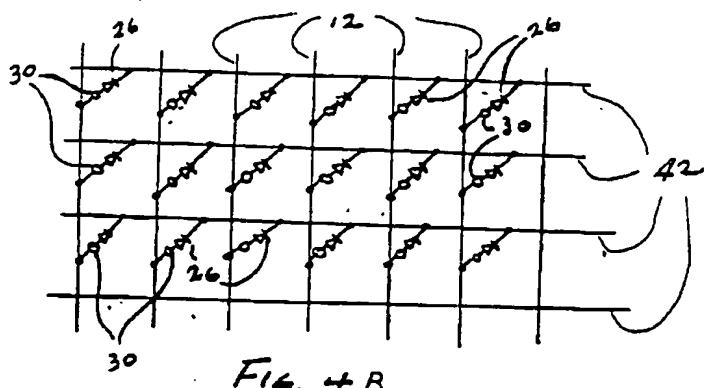


Fig. 4B

【図5】

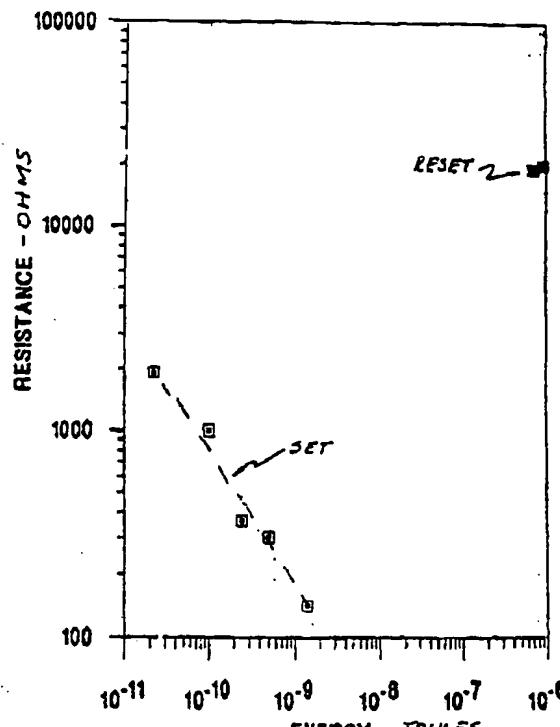


Fig. 5

## DEVICE RESISTANCE vs ENERGY

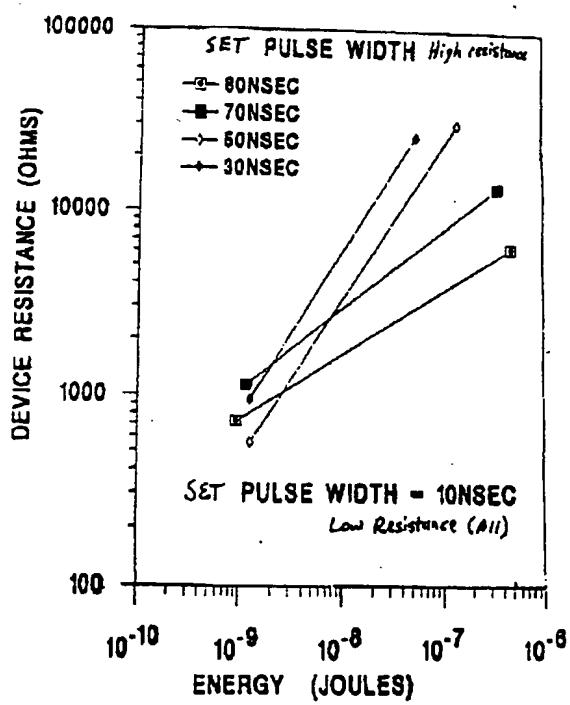


Fig. 6

【図7】

## DEVICE RESISTANCE VS ENERGY

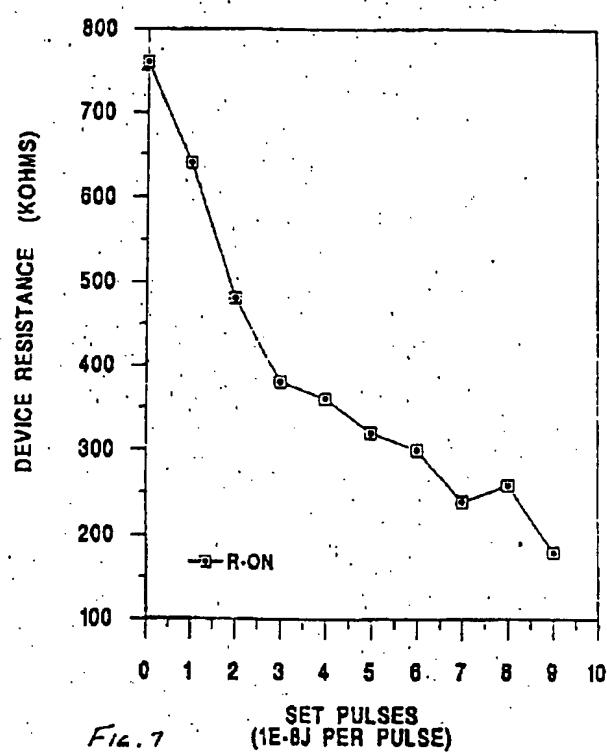


Fig. 7

【図8】

## DEVICE ON RESISTANCE VS LOAD RESISTOR

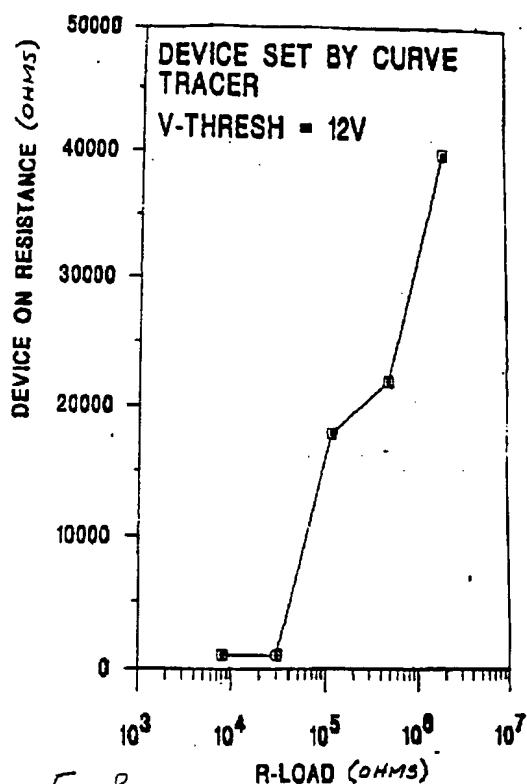


Fig. 8

フロントページの続き

(72) 発明者 スティーブン・ジエイ・ハジエンス  
 アメリカ合衆国、ミシガン・48075、サウスフィールド、アレクサンドリア・タウン・2

(72) 発明者 ウオロディミー・ズーバティー  
 アメリカ合衆国、ミシガン・48092、ウォレン、ウォルター・2426

(72) 発明者 デイビッド・エイ・ストランド  
 アメリカ合衆国、ミシガン・48323、ウェスト・ブルームフィールド、デイントリー・2091

(72) 発明者 ガイ・シー・ウイツカ  
 アメリカ合衆国、ミシガン・48076、サウスフィールド、フェアーファクス・30437